

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-034717

(43)Date of publication of application : 14.02.1991

(51)Int.Cl.

H03H 11/12

H03H 19/00

H04B 1/40

(21)Application number : 01-168917

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 30.06.1989

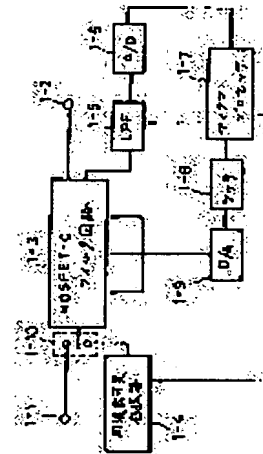
(72)Inventor : SAWAHASHI MAMORU
HATTORI TAKESHI

(54) FILTER DEVICE

(57)Abstract:

PURPOSE: To set the entire filter characteristic to an optimum value by comparing an input signal level to a filter circuit with a signal level after passing through the filter, calculating a required bias voltage, converting the voltage into an analog voltage and feeding the result to the filter circuit.

CONSTITUTION: A control section 1-7 takes a difference between a signal level received from an A/D converter 1-6 and an input signal level to a predetermined filter circuit 1-3 to calculate the attenuation of the filter circuit 1-3. Then the bias voltage is calculated so that the attenuation is a preset value to control the bias voltage of the filter circuit 1-3. The said bias voltage is latched by a latch circuit 1-8, converted into an analog quantity by a D/A converter 1-9 and fed to the filter circuit 1-3. Moreover, when the Q of the MOSFET-C filter circuit 1-3 is set, a signal within a filter pass band and having a frequency close to the cut-off frequency is used as the control signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-34717

⑬ Int.Cl.⁵

H 03 H 11/12
19/00
H 04 B 1/40

識別記号

A

庁内整理番号

7741-5 J
8837-5 J
7189-5 K

⑭ 公開 平成3年(1991)2月14日

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 フィルタ装置

⑯ 特 願 平1-168917

⑰ 出 願 平1(1989)6月30日

⑱ 発 明 者 佐 和 橋 衛 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 服 部 武 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 山川 政樹 外1名

明 細 書

1. 発明の名称

フィルタ装置

2. 特許請求の範囲

容量を決定するコンデンサと抵抗体としてのMOSトランジスタとを有するフィルタ回路と、このフィルタ回路のフィルタ特性を制御する制御回路とを含むフィルタ装置において、

前記制御回路は、

前記フィルタ回路の出力信号から所要信号のみを取り出すフィルタと、

このフィルタの出力信号レベルをデジタル値に変換するA/D変換器と、

フィルタ回路への入力信号レベルと前記フィルタ通過後の信号レベルとを比較して所要のフィルタ特性になるように前記MOSトランジスタにかかるバイアス電圧を計算する制御部と、

前記計算したバイアス電圧値をアナログ電圧に変換して前記フィルタ回路に供給するD/A変換器と

から成ることを特徴とするフィルタ装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、周波数特性が可変高精度で低消費電力のMOSFET-C(MOSFET-Continuous)フィルタ回路に関するものである。

(従来の技術)

従来からの代表的なフィルタ回路として、アクティブRCフィルタ、スイッチトキャパシタフィルタ(SCF)、MOSFET-Cフィルタ等がある。

このうちMOSFET-CフィルタはMOSFETのドレイン・ソース間の抵抗領域を抵抗体として使用するアナログフィルタである。第6図にMOSFETのゲート・ソース間電圧 V_{gs} をパラメータにした場合のドレイン電流 I_d 、対ドレイン・ソース間電圧 V_{ds} の特性を示す。信号が小振幅の場合には $I_d - V_{ds}$ 特性の傾斜すなわちドレイン・ソース間抵抗 R_{ds} は線形抵抗近似領域Sに示すように一定と近似することができ、この近似抵

抗を抵抗体として使用するものである。図示するように、この抵抗値は V_{GS} に依存し、 V_{GS} をパラメータとして抵抗値を制御することができる。また、この抵抗値は V_{DS} にも依存するため、使用する信号の振幅に応じて抵抗値も異なる。

第7図(a)に、ゲート・ソース間を制御端子とし、電圧制御抵抗として使用するMOSFET抵抗の構成を示す。第7図(b)は上記MOSFET抵抗の等価回路図である。第7図(a)において、7-1はドレイン端子、7-2はゲート端子、7-3はソース端子、7-4はMOSFET、7-5はバイアス電圧保持用コンデンサであり、ゲート端子7-2とソース端子7-3の間にコンデンサ7-5を設け、コンデンサ7-5で保持するバイアス電圧により抵抗値を設定する。

このバイアス電圧設定法の従来例として大別して2つの方法がある。1つは間接制御方法、もう1つは直接制御方法である。

まず、間接制御方法について説明する。これは「同じチップ上に作られた同じサイズのMOSF

ETは等しい特性を有する」という経験則を利用した方法である。この一例を第8図に示す。同図において、8-1は入力端子、8-2は出力端子、8-3はフィルタ回路、8-4はスレーブMOSFET、8-5は電圧制御発振器、8-6はマスタMOSFET、8-7は周波数比較器および制御回路、8-8は基準発振器である。第8図において、フィルタ回路8-3と同じICチップ上に、フィルタ内で使用しているスレーブMOSFET 8-4と同じサイズのMOSFETを製作する。このMOSFETを以下マスタMOSFET 8-6と呼ぶ。このマスタMOSFET 8-6で電圧制御発振器8-5あるいはフィルタを構成して、電圧制御ループあるいは位相制御ループでマスタMOSFET 8-6の抵抗値を設定する。このマスタMOSFET 8-6の抵抗値で発振周波数が決まるようにリファレンス発振器8-8で抵抗値を設定する。リファレンス発振器8-8で設定した目標抵抗値からマスタMOSFET 8-6を用いた発振器8-5の発振周波数が決まり、外部の

基準発振器8-8の発振周波数を上記目標抵抗値で決まる発振周波数にセットし、それぞれの周波数を周波数比較器および制御回路8-7で比較し、双方の周波数が等しくなるようにマスタMOSFET 8-6のバイアス電圧を変化させる。発振周波数が等しくなった時に、そのゲート・ソース間電圧をフィルタ回路8-3内のスレーブMOSFET 8-4に与えるものである。

次に、直接制御方法について説明する。従来の直接制御形MOSFET-Cフィルタの構成を第9図に示す。同図において、9-1は入力端子、9-2は出力端子、9-3はフィルタ回路、9-4と9-5はMOSFET、9-6は比較用可変抵抗、9-7は使用する信号のレベルに対応した基準電圧を入力する入力端子である。この方法は、同じサイズの特性の等しい複数のMOSFETをICチップ上に製作し、それらをフィルタ内で抵抗体として使用している時に、その中の1つを取り出してバイアスを再設定し、再設定できたらフィルタ回路8-3に戻し、また他のスレーブMO

SFETを取り出してバイアス再設定する方法である。つまり、単にどれか1つのMOSFETのバイアスを再設定するものである。従って、一般に $(n+1)$ 個のMOSFETを用意して1個のMOSFETを時分割に補足的に使用することにより、 n 個の抵抗値を実現できる。第9図では、MOSFET (n') 9-5のバイアスを比較用可変抵抗9-6を用いて再設定する例を示す。この間、予めバイアス電圧が所要の抵抗値に設定されたMOSFET(a)~(n) 9-4をフィルタ回路9-3で使用する。

第10図はMOSFET 9-5のバイアス設定のための回路図であり、MOSFET 9-5の抵抗値は、比較用可変抵抗9-6の抵抗値 $R_{9-6} = 1 / (C_r \cdot f_s)$ に設定される。ここで、 C_r はコンデンサC1の容量、 f_s はSW1、SW1'とSW2、SW2'の切替え周波数である。この回路は、文献(アイ・イー・イー・イー、回路およびシステムに関する会報、"スイッチトレジスタフィルタモノリシックMOSフィルタデザイ

ンへの連続時間アプローチ”, 29巻, 5号, 306~315頁, 1982年5月「IEEE, Transaction on CAS, “Switched Register Filter—a continuous time approach to monolithic MOS Filter Design”, Vol. 25, No. 5, pp. 306-315, May, 1982」に記載されている。

〔発明が解決しようとする課題〕

上述した間接制御方法では、1Cチップ上のスレーブMOSFETはすべて同じ特性であることを仮定している。この場合のフィルタ精度は、バイアス電圧を決定するマスタMOSFETを含む発振器8-5あるいはフィルタとスレーブ形のMOSFET 8-4を含むフィルタ回路8-3とのマッチングによって決定される。フィルタ精度は、オペアンプを同一チップ上に構成しても、せいぜい1~2%である。このためマスタMOSFET 8-5の抵抗値で設定したバイアス電圧をすべてのスレーブMOSFET 8-4に与えるため、スレーブMOSFET 8-4に個別偏差があってもフィルタ回路8-3上では補正手段はなく、各M

OSFETの設定抵抗値からの誤差が積み重なってフィルタ回路8-3全体の誤差となる。

また、上述した直接制御方法では、フィルタ回路9-3内で使用するMOSFETのバイアス電圧を直接設定するために上記の間接制御方法よりはフィルタ精度は良い。この場合のフィルタ精度はバイアス電圧設定回路のチューニング条件によって決定される。すなわち、MOSFET抵抗は V_{gs} に依存するだけでなく V_{ds} にも依存するため、バイアス電圧設定回路の信号のレベルは実際に使用する信号と同レベルにしなければならない。さらに、MOSFET抵抗は周波数特性を有し、これらの設定条件を厳密に一致させることは困難である。また、アナログ量で保持しているために、バイアス電圧は低下し、実現抵抗値は設定抵抗値からずれてくる。従って、複数のMOSFETを用意してバイアス電圧が下がる前にMOSFETをスイッチングする必要がある。このスイッチング時の雑音がフィルタ回路9-3の出力に現れる。

〔課題を解決するための手段〕

このような課題を解決するために本発明は、容量を決定するコンデンサと抵抗体としてのMOSトランジスタとを有するフィルタ回路と、このフィルタ回路のフィルタ特性を制御する制御回路とを含むフィルタ装置において、制御回路は、フィルタ回路の出力信号から所要信号のみを取り出すフィルタと、このフィルタの出力信号レベルをデジタル値に変換するA/D変換器と、フィルタ回路への入力信号レベルとフィルタ通過後の信号レベルとを比較して所要のフィルタ特性になるようにMOSトランジスタにかかるバイアス電圧を計算する制御部と、計算したバイアス電圧値をアナログ電圧に変換してフィルタ回路に供給するD/A変換器とから成るようにしたものである。

〔作用〕

本発明によるフィルタ装置においては、制御ループを繰り返して制御することにより、フィルタ特性全体が最適値に設定される。

〔実施例〕

従来のMOSFET-Cフィルタ回路は抵抗値

変化のためのパラメータであるゲート・ソース間電圧をアナログ量で保持するため、コンデンサを使用しなければならない。このアナログ量は放電するために、しきい値以下にバイアス電圧が下がった場合には新たにバイアス電圧を設定しなければならなかった。

本発明は、従来のMOSFET-Cフィルタ回路と異なり、MOSFETのゲート・ソース間電圧をデジタル量で保持することを特徴とする。所要の抵抗値を実現するバイアス電圧がデジタル量で求めれば、その値は容易にラッチ回路を用いて保持できる。この保持した値をD/A変換器によりアナログ電圧に変換してMOSFETのゲート・ソース間に印加することを特徴とする。

また、従来の方法では、アナログ制御なので、制御回路と実際のフィルタ回路とのミスマッチは補償できない。さらに、バイアス電圧を設定する回路はアナログだから、バイアス電圧の範囲はその設定回路に用いるオペアンプの特性で制限されるため、実現抵抗の範囲が制限される欠点があっ

た。

本発明は、MOSFET抵抗を含むフィルタ特性の最適値を制御部を使用してソフトウェア的に設定することを第2の特徴とする。

本発明によるフィルタ装置の一実施例を第1図に示す。同図において、1-1は入力信号端子、1-2は出力信号端子、1-3はMOSFET-Cフィルタ回路、1-4は基準発振器としての周波数可変発振器、1-5は制御信号を取り出すフィルタ、1-6はA/D変換器、1-7は制御部としてのマイクロプロセッサ、1-8はバイアス電圧を保持するラッチ回路、1-9はD/A変換器、1-10はスイッチである。バイアス電圧の設定制御は入力信号が無いときに行なうから、ここではスイッチ1-10を用い、フィルタ回路1-3への信号を切り替えて行なう。フィルタ回路1-3の周波数特性を設定するときには、そのフィルタ回路1-3の遮断域又は減衰域の周波数の信号を制御信号として周波数可変発振器1-4から受信入力する。上記制御信号はフィルタ回路1

-3では通過域の信号ではないので、フィルタ回路1-3は、この信号を減衰し、歪ませる。従って、フィルタ回路1-3の出力側で、上記制御信号成分を低域フィルタ1-5で取り出し、それをA/D変換器1-6でデジタルに変換して制御部1-7に入力する。

制御部1-7では、A/D変換器1-6から受信した信号レベルと予め定めたフィルタ回路1-3への入力信号レベルとの差をとってフィルタ回路1-3の減衰量を計算する。そして、この減衰量が予め定めた値になるようにバイアス電圧値を計算し、フィルタ回路1-3のバイアス電圧を制御する。制御部1-7から出力されたバイアス電圧値をラッチ回路1-8で保持し、D/A変換器1-9でアナログ量に変換後、フィルタ回路1-3に加える。なお、フィルタ回路1-3の制御信号の出力としては入力信号と同じ周波数成分をとらないで、その高調波を利用することもできる。その場合には、フィルタ1-5としては帯域通過フィルタを用いる。

また、MOSFET-Cフィルタ回路1-3のQを設定するときには、このフィルタの通過域であってかつカットオフ周波数に近い信号を制御信号として用いればよい。このように周波数可変発振器1-4の出力を調節するには手動で行なってもよいが、制御部1-7が制御するようにすれば迅速に調節できる。

第1図の実施例を少し具体化した実施例を第2図に示す。第2図では、基準発振器1-4の具体的構成として基準発振器2-1と分周器2-2を用いる。他の部分については第1図と同様である。MOSFET-Cフィルタ回路1-3から出力される信号から制御に使用する信号のみを取り出すフィルタ1-5には、特願昭62-313339号で提案したSCF・MOSFET-C併用形の可変帯域フィルタが適用できる。SCFはクロック周波数でフィルタ周波数特性を変化でき、これを用いればデジタル的にMOSFETの抵抗値、従ってMOSFET-Cフィルタの周波数特性を変化することができる。周波数可変発振器1-4

は基準発振器2-1と可変分周器2-2で分周数を変化させることにより実現できる。

フィルタ回路の一例として、二次パイカッドLPFの場合のフィルタ特性の制御方法を説明する回路を第3図に示す。同図において、3-1は入力端子、3-2は出力端子、3-3はフィルタ回路、C1、C2は値がc1、c2のコンデンサ、R1~R6は値がr1~r6の抵抗、3-4は演算増幅器、3-5はフィルタ、3-6はA/D変換器、3-7はマイクロプロセッサ、3-8はラッチ、3-9はD/A変換器、3-10、3-11はスイッチである。

図示するように素子を決めると、フィルタ回路3-3のカットオフ周波数、Q値、直流利得はそれぞれ次式で表わされる。

$$W_c = 1 / (r_2 r_4 c_1 c_2) \cdots (1)$$

$$Q = r_1^2 c_1 / (r_2 r_4 c_2) \cdots (2)$$

$$H = r_2 / r_3 \cdots (3)$$

制御の仕方はまず、スイッチ3-10をオンにして抵抗R1、R2、R3、R4の値を同じバイア

ス電圧で変化させることにより、 Q 、 H を変化させずに周波数特性を変化できる。制御ループで周波数特性が最適値になるように制御する。次に、スイッチ3-11をオンにして抵抗 $R1$ の値を変化させて、カットオフ周波数の信号をフィルタに参照信号として入力し、制御ループで Q 値が最適値になるように制御する。

一般に、カットオフ周波数、 Q 値、直流利得のパラメータのうち、制御するパラメータの数だけD/A変換器、ラッチ回路を用意する。素子値は、コンデンサの値を適当に設定して抵抗値が同じになるようにすることにより、D/A変換器、ラッチ回路を共有できる。

また、別の実施例を第4図に示す。第4図において第1図と同一部分又は相当部分には同一符号が付してある。第4図の基本的構成は第1図と同様であるが、基準発振器1-4を省略して、相手局からの基準信号を受信して動作させる構成である。このフィルタ装置を例えば自動車電話の移動機に用いたときに、発振器1-14は基地局1-

13に設ける。基地局1-13からの信号を受信するために、受信部1-12とAGC回路1-11を付加する。また、1-15は復調回路である。

さらに、第4図の基地局1-13の構成例を第5図に示す。同図において、5-1、5-4は入力端子、5-2、5-3は出力端子、5-5、5-7、5-10、5-15は帯域フィルタ、5-6、5-8、5-17はミキサ、5-9は発振器、5-11はリミッタ増幅器、5-12は復調器、5-13は制御データを出力するフィルタ、5-14はシンセサイザ、5-16は電力増幅器、5-18は変調器、5-19は増幅器、5-20は可変発振器である。フィルタ5-7、5-10の中心周波数は、90MHz、455kHzであり、変調器5-18の中心周波数は145MHzである。第5図においては、可変発振器5-20が基準発振器である。これを制御する信号は移動機側の制御部1-7から出力され、移動機から送信され、それを受信系の入力端子5-1から入力し、復調器5-12で取り出して発振器5-20を制

御する。

(発明の効果)

以上説明したように本発明は、制御ループを形成し、デジタル量でバイアス電圧をラッチすることにより、一旦バイアス電圧を設定すれば安定に所要抵抗を実現することができる。従来の抵抗値を設定する方法では、チップ上の回路のマッチング条件やバイアス電圧の設定条件により、実際使用するフィルタ上では誤差が問題となっていたが、本発明では、フィルタ特性全体を最適値に設定すべく制御ループを繰り返して制御することにより、低誤差(±1%程度)でチップ上にフィルタを実現できる。また、従来の構成のようにアナログ回路でバイアス電圧を設定していた場合の回路の制約が無くなり、MOSFET実現抵抗値の範囲、従ってMOSFETを含むフィルタの周波数可変範囲を拡大できる。

4. 図面の簡単な説明

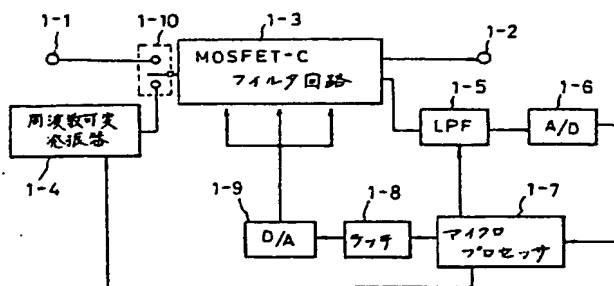
第1図、第2図、第4図、第5図は本発明の実施例を示す系統図、第3図は二次バイカッドL

PFの場合のフィルタ特性の制御方法を説明する回路を示す系統図、第6図はMOSFETのドレイン電流対ドレイン・ソース間電圧の特性を示す特性図、第7図はMOSFETの抵抗制御を示す説明図、第8図は従来の間接制御形MOSFET-Cフィルタ回路を示す系統図、第9図は従来の直接制御形MOSFET-Cフィルタ回路を示す系統図、第10図は第9図のMOSFETと比較用可変抵抗とを詳細に示す回路図である。

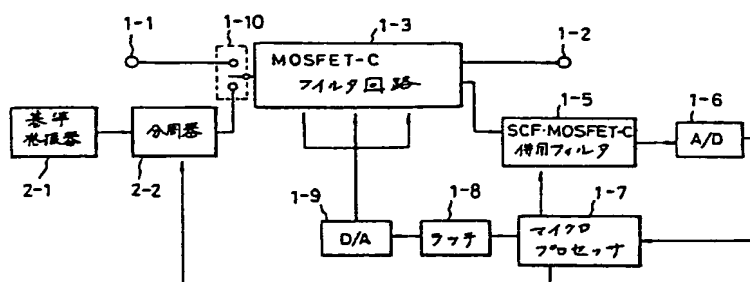
1-1…入力信号端子、1-2…出力信号端子、1-3…MOSFET-Cフィルタ、1-4…周波数可変発振器、1-5…フィルタ、1-6…A/D変換器、1-7…マイクロプロセッサ、1-8…ラッチ回路、1-9…D/A変換器、1-10…スイッチ。

特許出願人 日本電信電話株式会社
代理人 山川 政 樹

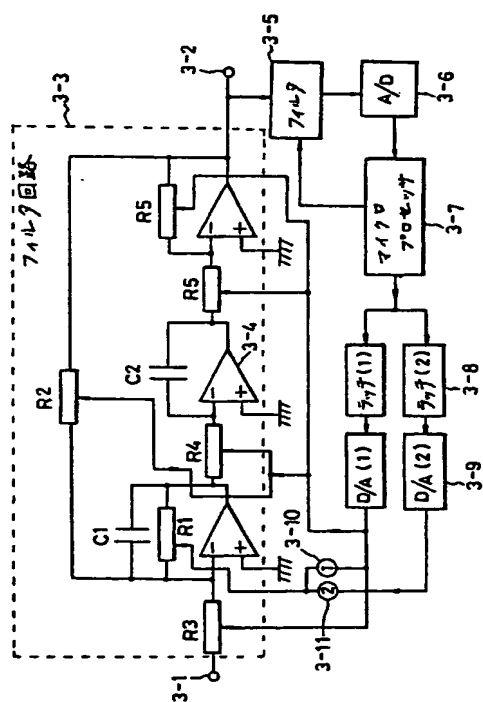
第 1 図



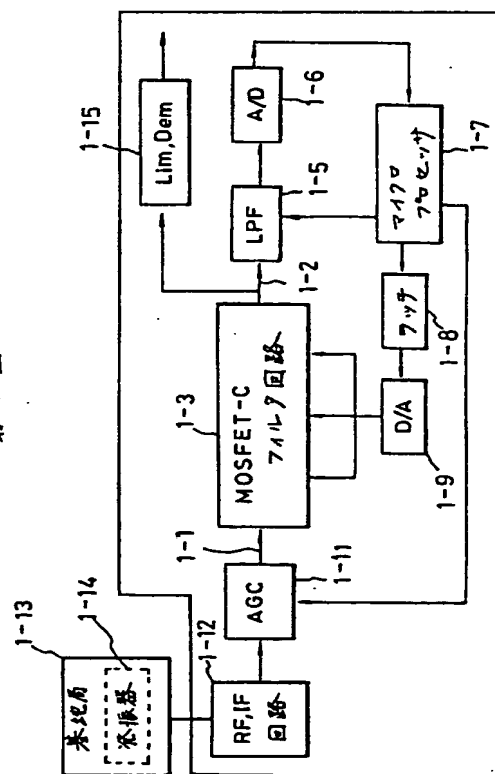
第 2 図



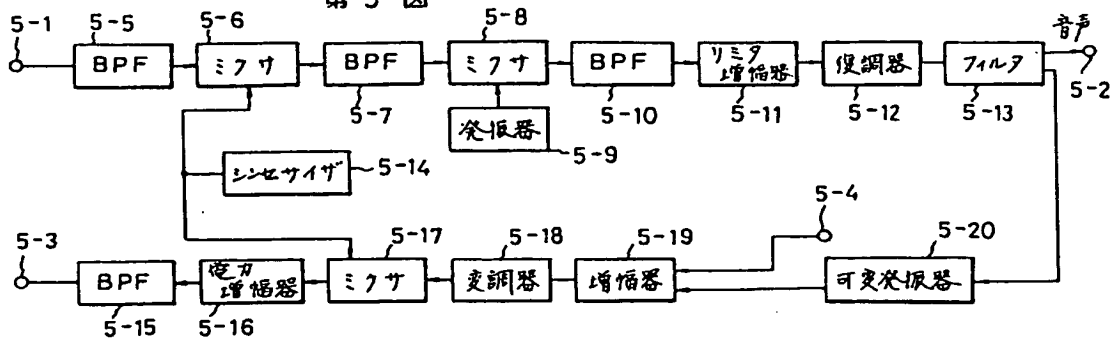
第 3 図



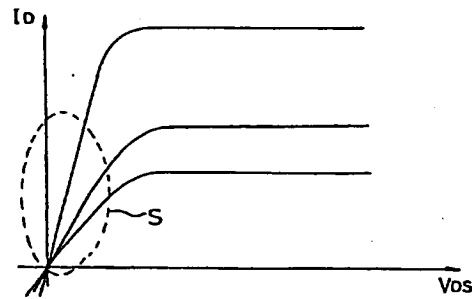
第 4 図



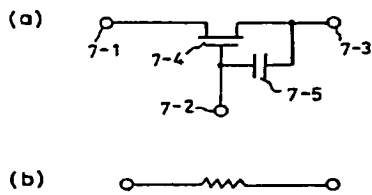
第5図



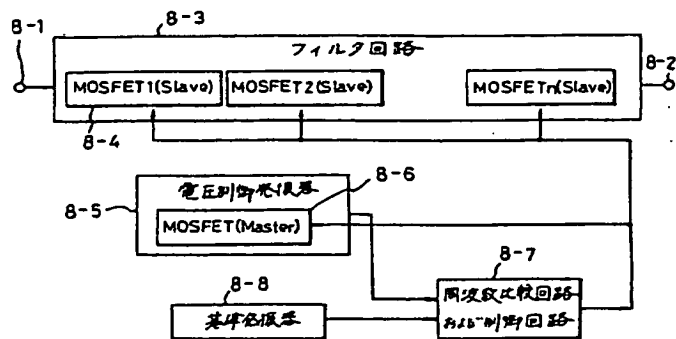
第6図



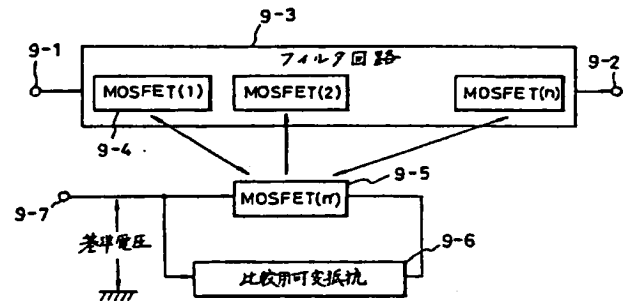
第7図



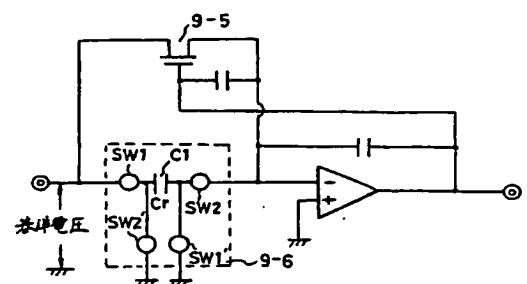
第8図



第9図



第10図



THIS PAGE BLANK (USPTO)